

Инструкция по программированию Flash SDA 555xFL

Интерфейс программирования FLASH (flash programming interface - FPI) позволяет программировать интегрированное FLASH-ПЗУ. В нормальном режиме FPI отключен. Он активируется подачей последовательности сигналов описанной ниже.

Для включения FPI на выходы RST и P1.7 (fmod). подается низкий логический уровень, Через определенный промежуток времени (см. Fig. 4–3), на вывод P3.6 подается низкий логический уровень.

Недопустимо при нормальном сбросе удерживать вывод P3.6 в состоянии логического «0»

Вывод P1.6 должен быть оставлен свободным.

При включенном FPI интерфейсе порты P0 и P1 используются для программирования flash ПЗУ.

2.1. Адресация Flash

Значение адреса во flash памяти вводятся последовательно группами по 8 бит через порт P0. Порт P0 является общим для ввода как адреса, так и данных. Во избежание конфликта шины, во время передачи адреса на выводе Ddir (DATA DIRECTION - направление передачи для буфера данных) должен присутствовать высокий логический уровень. Биты адреса сгруппированы: A0-A7, A8-A15, A16. Выводы ASEL0 и ASEL1 определяют ту группу бит адреса, которая будет передана при отрицательном перепаде на выводе ASEN (address select enable) – см. табл. 2-1

Временная диаграмма, иллюстрирующая передачу адреса и данных, приведена на Fig. 4–4.

Для перехода на новый адрес, не обязательно вновь загружать все группы адресных бит; например, для перехода с адреса 0000h на 0001h, нужно обновить только биты A0-A7

Таблица 2–1: Комбинации состояний бит выбора адреса.

Группа бит адреса	ASEL1	ASEL0
A0-A7	0	0
A8-A15	0	1
A16	1	0

2.2. Flash Data

Биты данных (D0 - D7) также читаются/пишутся через порт 0.

При этом используются сигналы управления RD,

WR и Ddir; сигнал RD осуществляет чтение из flash

памяти ,при этом результат выводится в порт P0, сигнал WR

осуществляет запись во flash память данных присутствующих на входах порта P0. Перед осуществлением операций чтения или записи сигнал

Ddir (data direction) должен быть установлен соответствующим образом,

для выбора направления работы буфера данных. Если Ddir = 0, то данные будут считаны из flash ROM.

При Ddir= 1 данные будут записываться во flash ROM.

Перед началом операций чтения или записи, должно быть установлено требуемое значение адреса, как описано выше.

Для выполнения желаемой операции должен быть активным один из сигналов – RD, WR или ASEN.

Следует обратить особое внимание на недопустимость активирования двух и более из этих сигналов одновременно.

3. Программирование Flash

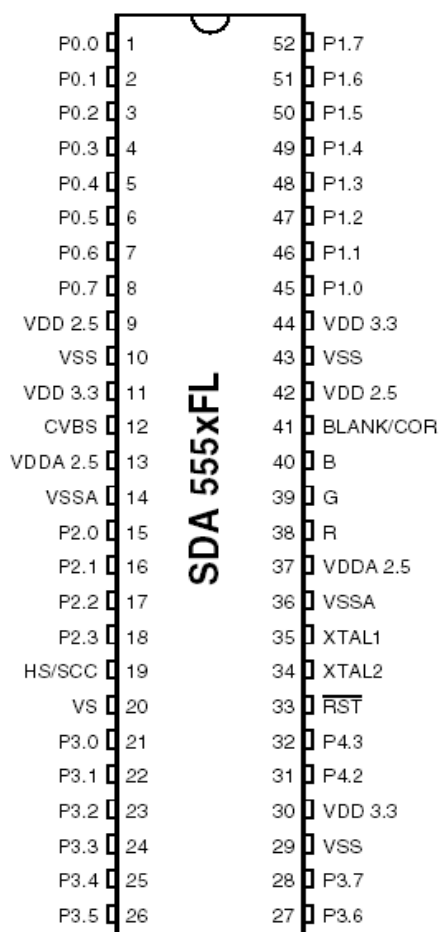
3.1. Чтение

В режиме программирования, для чтения данных, биты адреса вводятся как описано в разделе 2.2. На выводе Ddir должен присутствовать уровень логического 0; Активация сигнала RD запускает цикл чтения. Дополнительных команд для завершения данной операции не требуется. В нормальном режиме, сигнал чтения генерируется внутри микроконтроллера to fetch instructions from the flash ROM.

3.2. Запись

В режиме программирования, для записи данных, биты адреса вводятся как описано в разделе 2.2. На выводе Ddir должен присутствовать уровень логической 1; Активация сигнала WR запускает цикл записи.

4.1. Назначение выводов (PSDIP52)



4.2. Назначение выводов (PMQFP64)

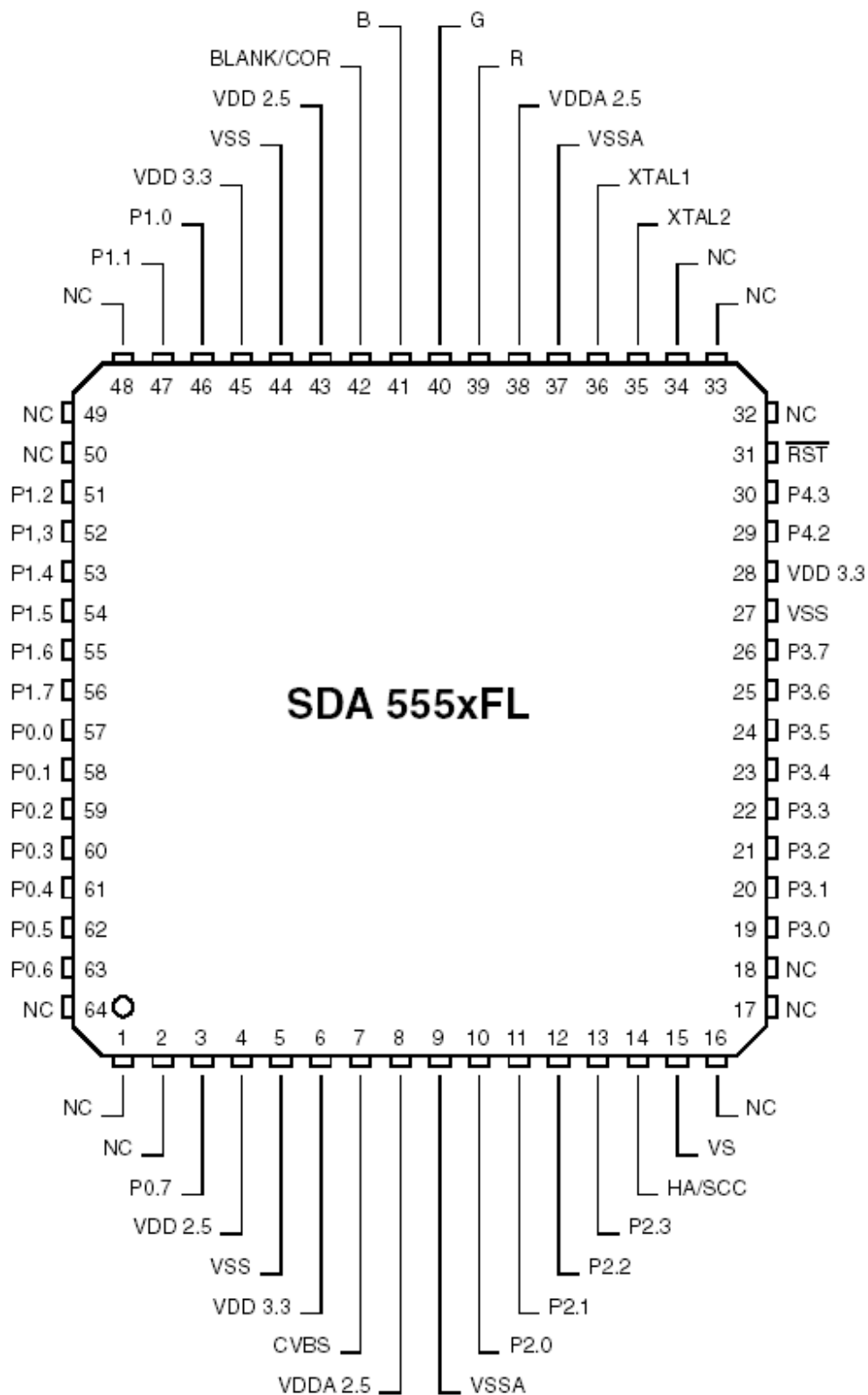


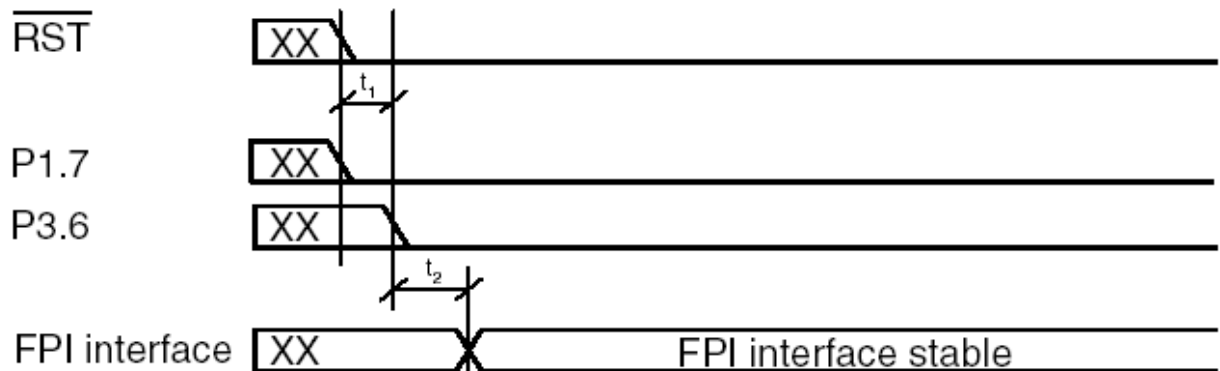
Таблица 4–1: Альтернативные режимы портов Port 0 и Port 1 в режиме программирования FLASH

Original mode	P0.0	P0.1	P0.2	P0.3	P0.4	P0.5	P0.6	P0.7	P1.0	P1.1	P1.2	P1.3	P1.4	P1.5	P1.7
Alternate Mode 1	D0	D1	D2	D3	D4	D5	D6	D7	wr	rd	Ddir	Asel1	Asel0	Asen	fmod
Alternate mode 2	A0	A1	A2	A3	A4	A5	A6	A7							
Alternate mode 2	A8	A9	A10	A11	A12	A13	A14	A15							
Alternate mode 3	A16														

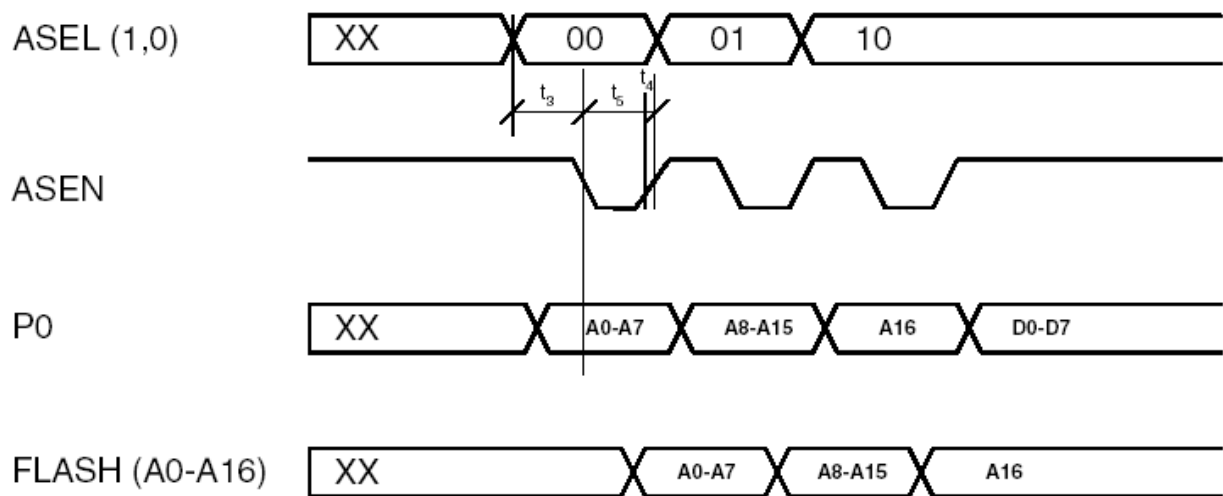
4.4. Электрические характеристики

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t ₁	Setup time reset(↓) before P1.7(↓) or P3.6(↓)	1000		ns	
t ₂	Setup time FPI mode		90	ns	
t ₃	Setup time ASEL(stable) before ASEN(↓)	40		ns	
t ₄	Hold time ASEL(stable) after ASEN(↓)	40		ns	
t ₅	ASEN pulse width	30		ns	
t ₆	P0_data(stable) to WR_N()	90		ns	
t ₇	P0_data(stable) after WR_N()	40		ns	
t ₈	WR_N pulse width	70		ns	
t ₉	ASEN(↓) to P0_data(stable)		170	ns	
t ₁₀	RD_N(↓) to P0_data(stable)		150	ns	
t ₁₁	Ddir(↓) before RD_N(↓)	40		ns	
t ₁₂	Ddir rising after RD_N rising	40		ns	

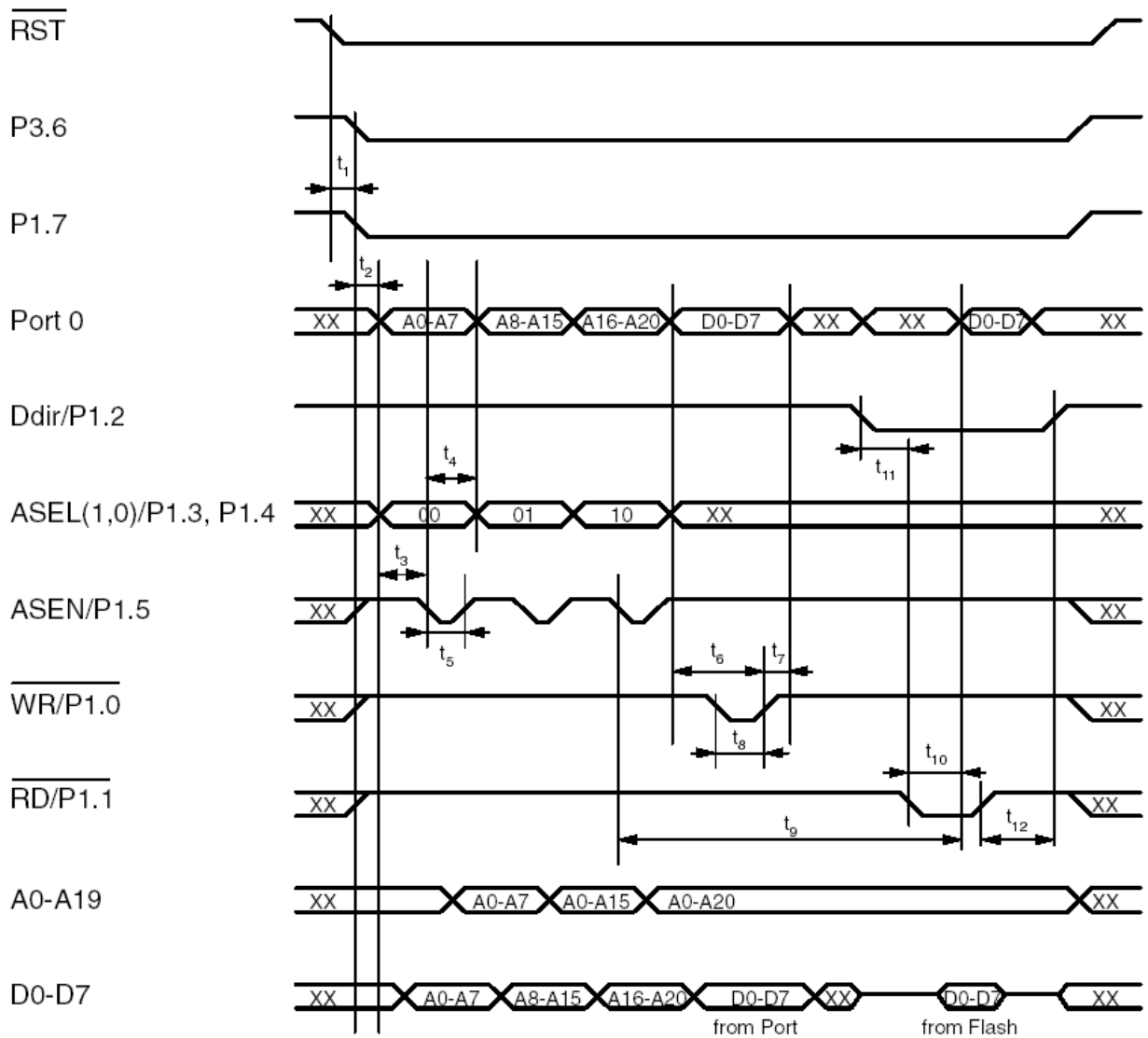
4.4.2. Временные диаграммы



Вход в режим программирования



Ввод адреса и данных



Типовой цикл записи и чтения с использованием FPI